

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-298176

(43)Date of publication of application : 26.10.2001

(51)Int.Cl. H01L 27/146
H01L 21/28
H01L 21/768
H01L 21/8238
H01L 27/092
H04N 5/335

(21)Application number : 2000-113473

(71)Applicant : FUJITSU LTD

(22)Date of filing : 14.04.2000

(72)Inventor : ASADA HITOSHI
MIYAZAWA KIYOSHI

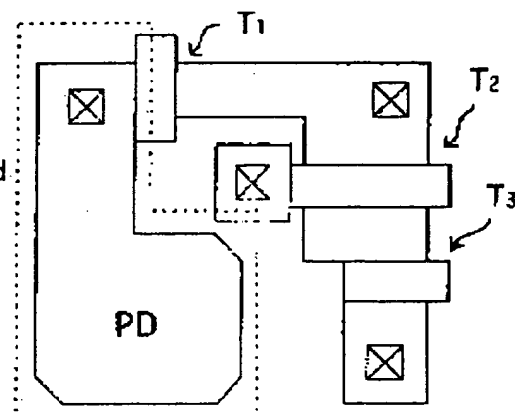
(54) CMOS IMAGE SENSOR AND PRODUCING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a CMOS image sensor and a producing method therefor with which a leak current in the drain part of a reset transistor is suppressed by reducing a resistance value between the source/drain of an MOS transistor and wiring.

SOLUTION: A silicide film is not formed on the surface of a photodiode(PD) forming part and the drain part of a reset transistor T1, which is connected with the impurity area of a PD, with the impurity area as a drain but the silicide film is formed on the surface of the source part of the reset transistor T1 and the source/drain part of the other MOS transistor.

イメージセンサの1画素



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-298176
(P2001-298176A)

(43) 公開日 平成13年10月26日 (2001. 10. 26)

(51) Int.Cl. ⁷	識別記号	F I	テームト [*] (参考)
H 0 1 L 27/146		H 0 1 L 21/28	3 0 1 D 4 M 1 0 4
21/28	3 0 1		3 0 1 T 4 M 1 1 8
21/768		H 0 4 N 5/335	E 5 C 0 2 4
21/8238			U 5 F 0 3 3
		H 0 1 L 27/14	A 5 F 0 4 8
審査請求 未請求 請求項の数 5 O L (全 12 頁) 最終頁に続く			

(21) 出願番号 特願2000-113473 (P2000-113473)

(22) 出願日 平成12年4月14日 (2000. 4. 14)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 浅田 仁志

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 宮沢 清志

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100091672

弁理士 岡本 啓三

最終頁に続く

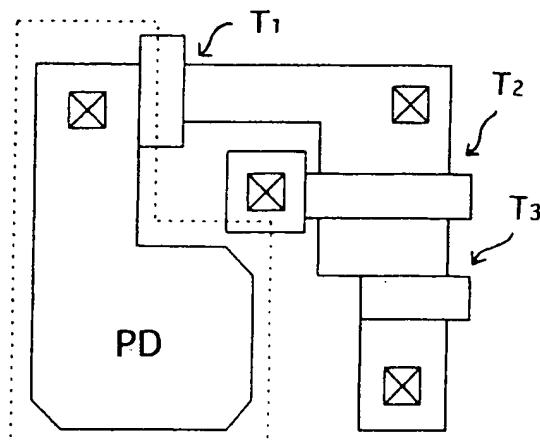
(54) 【発明の名称】 CMOSイメージセンサ及びその製造方法

(57) 【要約】

【課題】 MOSトランジスタのソース・ドレインと配線との間の抵抗値を低減し、リセットトランジスタのドレイン部でのリーク電流を抑制したCMOSイメージセンサ及びその製造方法を提供することを目的とする。

【解決手段】 フォトダイオードPD形成部、及びフォトダイオードPDの不純物領域と接続した不純物領域をドレインとするリセットトランジスタT1のドレイン部の表面にシリサイド膜を形成することなく、リセットトランジスタT1のソース部及び他のMOSトランジスタのソース・ドレイン部の表面にシリサイド膜を形成する。

イメージセンサの1画素



【特許請求の範囲】

【請求項1】 半導体基板に不純物を導入して形成されたフォトダイオードと、前記半導体基板に不純物を導入して形成された複数のMOSトランジスタとにより構成されるCMOSイメージセンサにおいて、前記フォトダイオードの不純物領域と接続した不純物領域を有するMOSトランジスタの少なくとも前記フォトダイオード側の前記不純物領域の表面にシリサイド膜がなく、他のMOSトランジスタの不純物領域の表面にシリサイド膜が設けられていることを特徴とするCMOSイメージセンサ。

【請求項2】 半導体基板に形成されたフォトダイオードと、前記半導体基板に形成され、前記フォトダイオードの不純物領域に連続する不純物領域をドレインとする第1のMOSトランジスタと、前記半導体基板に形成され、前記第1のMOSトランジスタのソースに連続する不純物領域をソースとする第2のMOSトランジスタと、前記半導体基板に形成され、前記第2のMOSトランジスタのドレインに連続する不純物領域をソースとする第3のMOSトランジスタとを有し、前記第1のMOSトランジスタの前記ドレインの表面にはシリサイド膜がなく、前記第1のMOSトランジスタのソースの表面、並びに前記第2のMOSトランジスタ及び第3のMOSトランジスタのソース及びドレインの表面にシリサイド膜が形成されていることを特徴とするCMOSイメージセンサ。

【請求項3】 前記半導体基板に、前記第3のMOSトランジスタから出力される信号を処理するMOSトランジスタ回路が形成されていることを特徴とする請求項2に記載のCMOSイメージセンサ。

【請求項4】 半導体基板に不純物を導入しフォトダイオードを形成する工程と、前記半導体基板の上にゲート絶縁膜を介してゲート電極を形成する工程と、前記半導体基板にN型不純物を導入して前記フォトダイオードのカソードに連続したN型不純物領域を有するリセットトランジスタを含む複数のNチャネルMOSトランジスタを形成する工程と、少なくとも前記フォトダイオードの上から前記リセットトランジスタの前記フォトダイオード側の不純物領域の上までの領域を覆う第1の絶縁膜を形成する工程と、前記半導体基板の上側に金属膜を形成し、該金属膜中の金属と前記シリコン基板の表面のシリコンとを反応させてシリサイド膜を形成する工程とを有することを特徴とするCMOSイメージセンサの製造方法。

【請求項5】 前記シリサイド膜を形成する工程の後に、前記金属膜を除去し、前記シリサイド膜のみを残す工程

と、前記半導体基板の上側に第2の絶縁膜を形成する工程と、前記第2の絶縁膜に、前記リセットトランジスタの前記フォトダイオード側不純物領域に到達するコンタクトホールと、所定の前記シリサイド膜に到達するコンタクトホールとを形成する工程と、前記コンタクトホールに導電体を埋め込み前記第2の絶縁膜上に導電膜を形成する工程と、前記導電膜をパターンニングして配線を形成する工程とを有することを特徴とする請求項4に記載のCMOSイメージセンサの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板に形成されたフォトダイオード及びMOSトランジスタにより構成されるCMOSイメージセンサ及びその製造方法に関する。

【0002】

【従来の技術】近年、固体撮像素子として、CMOSイメージセンサが広く使用されるようになった。CMOSイメージセンサは、CCD (Charge Coupled Device) に比べて消費電力が小さく、単一電源で駆動可能であること、タイミング発生回路や読み出し回路及びA/Dコンバータ等の周辺回路を一体的に形成可能であることなど、種々の長所がある。

【0003】図21はCMOSイメージセンサの1画素の等価回路図である。この図21に示すCMOSイメージセンサの1画素は、1個のフォトダイオードPDと3個のNチャネルMOSトランジスタT1、T2、T3とにより構成されている。フォトダイオードPDのカソードはトランジスタT1のドレイン及びトランジスタT2のゲートに接続されている。トランジスタT1、T2のソースは、いずれも基準電圧VRが供給される電源線に接続されている。また、トランジスタT1のゲートには、リセット信号RSTが供給されるリセット線に接続されている。

【0004】トランジスタT3のソースはトランジスタT2のドレインに接続され、ドレインは信号線を介して読み出し回路（図示せず）に接続され、ゲートはセレクト信号S L C Tが供給される列選択線に接続されている。なお、トランジスタT1はリセットトランジスタといわれ、トランジスタT2はドライブ用トランジスタ、トランジスタT3は選択用トランジスタといわれる。

【0005】CMOSイメージセンサでは、半導体基板に図21に等価回路で表される複数の画素が水平方向及び垂直方向に並び、更にそれらの画素が形成された領域の外側に読み出し回路やA/D（アナログデジタル）変換回路等の周辺回路が形成されている。なお、特開平10-248035号公報には、リセットトランジスタの

ゲートに供給する信号の電位を3段階に変化させ、CMOSイメージセンサのダイナミックレンジを拡大する駆動方法が開示されている。

【0006】

【発明が解決しようとする課題】ところで、図21に示す回路を半導体基板に形成する場合、半導体基板に形成されたMOSトランジスタのソース・ドレインと、半導体基板の上に絶縁膜を介して形成された配線とを電気的に接続することが必要である。単に、絶縁膜にコンタクトホールを形成し、該コンタクトホールに導電体を埋め込んだだけでは、導電体とソース・ドレインとの接触抵抗が大きくなる。MOSトランジスタのソース・ドレインの表面にシリサイド膜を形成し、該シリサイド膜を介してソース・ドレインと配線とを電気的に接続することにより抵抗値を低減することも考えられるが、そうすると、リセットトランジスタとフォトダイオードとの接続部分でリーク電流が増加して、特性劣化の原因となる。なお、リーク電流には、フィールド酸化膜のエッジ部分でリークする周辺長成分とPN接合部でリークする面積成分とがある。周辺長成分のリークの原因は、フィールド酸化膜のエッジの注入イオン濃度が薄くなっていると考えられる部分で、注入イオンがシリサイド中に吸収され、更にイオン濃度が薄くなるためと考えられる。また、面積成分は、シリサイド形成時に空乏層が金属原子で汚染されることにより増加すると考えられる。

【0007】以上から、本発明は、MOSトランジスタのソース・ドレインと配線との間の抵抗値を低減し、リセットトランジスタのドレイン部でのリーク電流を抑制したCMOSイメージセンサ及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】上記した課題は、半導体基板に不純物を導入して形成されたフォトダイオードと、前記半導体基板に不純物を導入して形成された複数のMOSトランジスタとにより構成されるCMOSイメージセンサにおいて、前記フォトダイオードの不純物領域と接続した不純物領域を有するMOSトランジスタの少なくとも前記フォトダイオード側の前記不純物領域の表面にシリサイド膜がなく、他のMOSトランジスタの不純物領域の表面にシリサイド膜が設けられていることを特徴とするCMOSイメージセンサにより解決する。

【0009】本発明においては、フォトダイオードの不純物領域と接続する不純物領域を有するMOSトランジスタ（リセットトランジスタ）のソース・ドレインのうちフォトダイオード側の不純物領域の上に、シリサイド膜が形成されていない。このため、金属原子に起因するリーク電流の増大が防止され、ノイズの少ないCMOSイメージセンサが得られる。

【0010】また、本発明においては、リセットトランジスタを除くMOSトランジスタの不純物領域の上に、

シリサイド膜が形成されている。そして、このシリサイド膜を介して配線と不純物領域とが電気的に接続される。これにより、配線と不純物領域との間のコンタクト抵抗が低くなり、電気的特性の低下が回避される。また、上記した課題は、半導体基板に不純物を導入しフォトダイオードを形成する工程と、前記半導体基板の上にゲート絶縁膜を介してゲート電極を形成する工程と、前記半導体基板にN型不純物を導入して前記フォトダイオードのカソードに連続したN型不純物領域を有するリセットトランジスタを含む複数のNチャネルMOSトランジスタを形成する工程と、少なくとも前記フォトダイオードの上から前記リセットトランジスタの前記フォトダイオード側の不純物領域の上までの領域を覆う第1の絶縁膜を形成する工程と、前記半導体基板の上側に金属膜を形成し、該金属膜中の金属と前記シリコン基板の表面のシリコンとを反応させてシリサイド膜を形成する工程とを有することを特徴とするCMOSイメージセンサの製造方法により解決する。

【0011】本発明方法においては、フォトダイオード形成部からリセットトランジスタのドレイン部までの領域を絶縁膜で覆い、その後シリサイド膜形成用の金属膜を形成する。これにより、フォトダイオードからリセットトランジスタのドレイン部間での領域の基板表面には金属原子がなく、金属原子に起因するリーク電流の増大が防止される。

【0012】

【発明の実施の形態】以下、本発明の実施の形態について、添付の図面を参照して説明する。図1は本発明の実施の形態のCMOSイメージセンサのブロック図、図2は同じくそのCMOSイメージセンサの1画素を示す平面図である。図1に示すように、半導体基板10には、受光部1、読み出し回路2、タイミング発生回路3及びA/Dコンバータ4等の回路が形成されている。受光部1には多数の画素が配列して形成されている。1つの画素は、図2に示すように、1個のフォトダイオードPDと3個のNチャネルMOSトランジスタT1、T2、T3とにより構成され、その等価回路は図21により表される。また、読み出し回路2、タイミング発生回路3及びA/Dコンバータ4等の回路は、CMOSにより構成される。

【0013】図3～図18は本発明の実施の形態のCMOSイメージセンサの製造方法を示す図である。なお、図3～図10はフォトダイオード及びリセットトランジスタ部分の断面図、図11～図18は周辺回路のCMOS回路部における断面図である。まず、図3(a)、図11(a)に示すように、半導体基板10の表面を熱酸化させて約3nmの厚さのシリコン酸化膜（図示せず）を形成した後、その上にシリコン窒化膜（SiN膜）11を約115nmの厚さに形成する。そして、シリコン窒化膜11の上に、フィールド酸化膜形成部に対応する

部分に窓を有するレジスト膜 12 を形成し、このレジスト膜 12 をマスクにしてシリコン窒化膜 11 をエッチングする。その後、レジスト膜 12 を除去する。

【0014】次に、図 3 (b)、図 11 (b) に示すように、半導体基板 10 の上側全面にフォトリソレジスト膜 13 を塗布し、露光及び現像工程を経て、P チャネル MOS トランジスタ形成部に対応する部分に窓を設ける。そして、この窓を介して半導体基板 10 にリン (P) を、例えば 180 keV 、 $1.4 \times 10^{13} / \text{cm}^2$ の条件でイオン注入して、N 型不純物領域 41 を形成する。

【0015】その後、図 3 (c)、図 11 (c) に示すように、レジスト膜 13 を除去し、 1150°C の温度で熱処理を施して不純物を拡散させ、P チャネル MOS トランジスタ形成部に N ウェル 42 を形成する。次に、図 4 (a)、図 12 (a) に示すように、 900°C の温度で熱処理を施し、シリコン窒化膜 11 に覆われていない部分に厚さが約 370 nm のフィールド酸化膜 16 を形成する。その後、シリコン窒化膜 11 を除去する。

【0016】次に、フォトダイオード形成部のウェルを形成する。すなわち、図 4 (b) に示すように、受光部全体にホウ素 (B) を、例えば 600 keV 、 $3 \times 10^{12} / \text{cm}^2$ の条件でイオン注入して、半導体基板 10 中に P 型不純物層 (ウェル) 43 を形成する。その後、図 4 (c)、図 12 (b) に示すように、フォトダイオード形成部及び P チャネル MOS トランジスタ形成部の上をレジスト膜 17 で覆い、N チャネル MOS トランジスタ形成部にホウ素 (B) を、例えば 140 keV 、 $8 \times 10^{12} / \text{cm}^2$ の条件でイオン注入し、P ウェル 44 を形成するとともに、N チャネル MOS トランジスタのチャネルストップ層 44a を形成する。その後、レジスト膜 17 を除去する。

【0017】次に、図 5 (a)、図 12 (c) に示すように、 800°C の温度で熱処理して半導体基板 10 の表面に厚さが約 7 nm のシリコン酸化膜 (ゲート酸化膜) 18 を形成する。そして、CVD (Chemical Vapor Deposition) 法により、半導体基板 10 の上側全面にアモルファスシリコン膜 19 を約 50 nm の厚さに形成する。

【0018】その後、図 5 (b) に示すように、フォトダイオード形成部のアモルファスシリコン膜 19 上にレジスト膜 20 を形成した後、レジスト膜 20 に覆われていない部分の半導体基板 10 中にホウ素 (B) を、例えば 30 keV 、 $1.8 \times 10^{12} / \text{cm}^2$ の条件でイオン注入する。これは、N チャネル MOS トランジスタ及び P チャネル MOS トランジスタのしきい値を調整するために行うものである。その後、レジスト膜 20 を除去する。

【0019】次に、図 5 (c)、図 13 (a) に示すように、アモルファスシリコン膜 19 の上に WSi (タングステンシリコン) 膜 21 を 150 nm の厚さに成長す

る。そして、リン (P) を、例えば 40 keV 、 $8 \times 10^{15} / \text{cm}^2$ の条件でイオン注入して、アモルファスシリコン膜 19 を低抵抗化する。次に、図 6 (a)、図 13 (b) に示すように、CVD 法により、WSi 膜 21 の上に、シリコン酸化膜 22 を約 45 nm の厚さに形成し、このシリコン酸化膜 22 の上に反射防止層として、PVD (Physical Vapor Deposition) 法によりアモルファスカーボン膜 (図示せず) を約 32 nm の厚さに形成する。

【0020】その後、図 6 (b)、図 13 (c) に示すように、フォトリソグラフィによりアモルファスカーボン膜、シリコン酸化膜 22、WSi 膜 21、アモルファスシリコン膜 20 及びシリコン酸化膜 18 をエッチングして、各 MOS トランジスタのゲート電極を形成する。次に、図 6 (c) に示すように、フォトダイオード形成部に窓を有するレジスト膜 23 を形成し、フォトダイオード形成部にリン (P) を、例えば 20 keV 、 $4 \times 10^{15} / \text{cm}^2$ の条件でイオン注入して、N 型不純物領域 45 を形成する。その後、レジスト膜 23 を除去し、 1000°C の温度で 10 秒間熱処理を施す。

【0021】次に、図 7 (a)、図 14 (a) に示すように、P チャネル MOS トランジスタ形成部及びフォトダイオード形成部を覆うレジスト膜 25 を形成し、N チャネル MOS トランジスタ形成部のゲート電極の両側にリン (P) を、例えば 20 keV 、 $4 \times 10^{13} / \text{cm}^2$ の条件でイオン注入して低濃度 N 型不純物領域 46 を形成する。その後、レジスト膜 25 を除去する。

【0022】次に、図 7 (b)、図 14 (b) に示すように、N チャネル MOS トランジスタ形成部及びフォトダイオード形成部を覆うレジスト膜 26 を形成し、P チャネル MOS トランジスタ形成部のゲート電極の両側に BF_2 を、例えば 20 keV 、 $10^{13} / \text{cm}^2$ の条件でイオン注入して低濃度 P 型不純物領域 47 を形成する。その後、レジスト膜 26 を除去する。

【0023】次に、図 7 (c)、図 14 (c) に示すように、半導体基板 10 の上側全面にシリコン酸化膜 27 を 120 nm の厚さに形成する。そして、シリコン酸化膜 27 の上にフォトリソレジスト膜 28 を形成し、シリサイドブロックとなる部分をパターンニングする。本実施の形態では、図 2 に破線で示す部分、すなわちフォトダイオード形成部からリセットトランジスタ T1 のドレインに対応する部分までをレジスト膜 28 で覆う。

【0024】次に、図 8 (a)、図 15 (a) に示すように、シリコン酸化膜 27 を異方性エッチングして、ゲート電極の側部にサイドウォール 29 を形成する。その後、レジスト膜 28 を除去する。次に、図 15 (b) に示すように、P チャネル MOS トランジスタ形成部以外の部分を覆うレジスト膜 30 を形成し、P チャネル MOS トランジスタのゲート電極の両側に BF_2 を、例えば 20 keV 、 $3 \times 10^{15} / \text{cm}^2$ の条件でイオン注入し

て、高濃度P型不純物領域48を形成する。その後、レジスト膜30を除去する。

【0025】また、図8(b)、図15(c)に示すように、PチャネルMOSトランジスタ形成部を覆うレジスト膜31を形成し、NチャネルMOSトランジスタのゲート電極の両側に砒素(As)を30keV、 $10^{15}/\text{cm}^2$ の条件でイオン注入して、高濃度P型不純物領域49を形成する。その後、レジスト膜31を除去する。そして、1000℃の温度で10秒間熱処理して、P型不純物領域48及びN型不純物領域49を活性化する。これにより、LDD構造のNチャネルMOSトランジスタ及びPチャネルMOSトランジスタが完成する。但し、リセットトランジスタT1のドレイン側(フォトダイオードとの接続側)ではLDD構造とはならないが、本願発明者らの実験では、このような構造としても実用上支障ないことが確認されている。

【0026】次に、図8(c)、図16(a)に示すように、半導体基板10の上側全面にTiをスパッタして、厚さが30nmのTi膜32を形成する。その後、700℃の温度で90秒間加熱し、半導体基板10と接触している部分のTi膜32をシリサイド化する。その後、図9(a)、図16(b)に示すように、未反応のTi膜32をエッチングにより除去する。これにより、MOSトランジスタのソース・ドレイン領域の表面上にシリサイド膜33が残る。その後、800℃の温度で30秒間熱処理して、シリサイド膜33を安定化させる。

【0027】次に、図9(b)、図16(c)に示すように、半導体基板10の上側全面に絶縁膜34を形成する。この絶縁膜34は、例えばSiONを200nm、SiO₂を300nmの厚さに積層して形成する。その後、絶縁膜34の上にSOG(Spin On Glass)膜36を塗布して表面を平坦化する。次に、SOG膜35の上にフォトレジスト膜(図示せず)を形成し、露光及び現像工程を経て、コンタクトホール形成部に窓を設ける。そして、この窓を介してSOG膜35及び絶縁膜34をエッチングして、図9(c)、図17(a)に示すように、リセットトランジスタのドレインである不純物領域46及び所定のシリサイド膜33に到達するコンタクトホール35aを形成する。その後、レジスト膜を除去する。

【0028】次に、図10(a)、図17(b)に示すように、全面にTiを20nm、TiNを50nmの厚さにスパッタ形成して、Ti膜36を形成する。その後、図10(b)、図17(c)に示すように、半導体基板10の上側全面にタングステン(W)膜37を800nmの厚さに形成し、コンタクトホール35aをタングステンで埋め込む。

【0029】その後、図18(a)に示すように、タングステン膜37をCMP(chemicalmechanical polishing)研磨してコンタクトホール35a以外の部分のタ

ングステン膜37を除去する。これにより、タングステンプラグ37aが形成される。そして、Tiを20nm、TiNを50nmの厚さに形成し、その上にAlCuを500nm、Tiを5nm、TiNを100nmの厚さに形成し、導電膜38を形成する。

【0030】次いで、図10(c)、図18(b)に示すように、導電膜38をパターンニングして、所定の配線39を形成する。このようにして、本実施の形態のCMOSイメージセンサが完成する。上記のようにして形成されたCMOSイメージセンサは、リセットトランジスタT1のドレイン部以外の部分では、トランジスタのソース・ドレインと配線とがシリサイド膜33を介して電気的に接続されているので、接続部のコンタクト抵抗が小さい。また、フォトダイオードPDと直接接続したリセットトランジスタT1のドレイン部にはシリサイド膜が設けられていないので、金属原子に起因するリーク電流の増大が防止され、S/N比が向上する。

【0031】図20は本実施の形態のCMOSイメージセンサの動作を示すタイミングチャートである。リセット信号RSTは一定の周期で“H”になる信号であり、このリセット信号RSTが“H”になると、フォトダイオードPDのカソード側の電位(図21にAで示す部分に対応する部分の電位)が一定の電圧(VR)になる。その後、リセット信号RSTが“L”になった後、フォトダイオードPDに光が到達すると、フォトダイオードPDに光の強度に応じた電荷が発生する。この電荷によりA点の電位、すなわちトランジスタT2のゲート電圧が変化する。セレクト信号SELECTが“H”になると、そのときのA点の電位に応じた電気信号がトランジスタT3を介して読み出し回路(周辺回路)に伝達される。このようにして、フォトダイオードPDに到達した光の強さに応じた信号が周辺回路に伝達される。

【0032】以下、上記の方法によりCMOSイメージセンサを実際に製造し、リーク電流の影響を調べた結果について説明する。実施例として、上記の方法によりCMOSイメージセンサを製造した。また、リセットトランジスタT1のドレインの表面にもシリサイド膜を形成したこと以外は実施例と同様にして、比較例のCMOSイメージセンサを製造した。比較例のCMOSイメージセンサでは、シリサイド膜形成工程において、図19に示すようにフォトダイオード形成部のみ(図中破線で示す部分)をシリコン酸化膜で覆っている。

【0033】周辺リーク電流成分及び面積リーク電流成分を直接測定することはできないが、A/D変換器の出力からリーク電流を推定することができる。すなわち、CMOSイメージセンサを暗所において駆動し、A/D変換器の出力コードにしきい値を設定し、そのしきい値よりも大きい信号の発生頻度により、リーク電流の大きさを比較することができる。具体的には、A/D変換器の出力コードが500(500mVに相当)以上の信号

の発生頻度を調べた。その結果、比較例のCMOSイメージセンサでは発生頻度が数十個（A/D変換器のサンプリング時間は26 msec）であったのに対し、実施例のCMOSイメージセンサでは0～数個であった。このことから、実施例のCMOSイメージセンサは比較例のCMOSイメージセンサに比べてリーク電流が少ないことが確認された。また、実施例のCMOSイメージセンサでは、リセットトランジスタT1のドレイン部にシリサイド膜が形成されていなく、コンタクト抵抗が若干高いと考えられるが、正常に動作しており、実用上支障ないことが確認できた。実施例のCMOSイメージセンサでは、リセットトランジスタT1のドレイン部以外のソース・ドレインにシリサイド膜が設けられているので、比較例のCMOSイメージセンサとトランジスタパラメータが同一であり、設計上及び使用上の問題もなかった。

【0034】なお、本発明のCMOSイメージセンサは、リセットトランジスタのゲート電圧が“H”及び“L”の2段階に変化させるものに限定されず、3段階又はそれ以上に变化させて駆動するCMOSイメージセンサにも適用できる。

【0035】

【発明の効果】以上説明したように、本発明のCMOSイメージセンサは、フォトダイオードの不純物領域と接続する不純物領域を有するMOSトランジスタ（リセットトランジスタ）のソース・ドレインのうちフォトダイオード側の不純物領域の上に、シリサイド膜が形成されていないので、金属原子に起因するリーク電流の増大が防止され、ノイズが低減される。また、リセットトランジスタを除くMOSトランジスタの不純物領域の上に、シリサイド膜が形成されており、このシリサイド膜を介して配線と不純物領域とが電気的に接続されるので、配線と不純物領域との間のコンタクト抵抗が低く、電気的特性の低下が回避される。

【図面の簡単な説明】

【図1】図1は本発明の実施の形態のCMOSイメージセンサのブロック図です。

【図2】図2は同じくそのCMOSイメージセンサの1画素を示す平面図である。

【図3】図3は実施の形態のCMOSイメージセンサの製造方法を示す図であり、フォトダイオード及びリセットトランジスタ形成部における断面図（その1）である。

【図4】図4は実施の形態のCMOSイメージセンサの製造方法を示す図であり、フォトダイオード及びリセットトランジスタ形成部における断面図（その2）である。

【図5】図5は実施の形態のCMOSイメージセンサの製造方法を示す図であり、フォトダイオード及びリセットトランジスタ形成部における断面図（その3）であ

る。

【図6】図6は実施の形態のCMOSイメージセンサの製造方法を示す図であり、フォトダイオード及びリセットトランジスタ形成部における断面図（その4）である。

【図7】図7は実施の形態のCMOSイメージセンサの製造方法を示す図であり、フォトダイオード及びリセットトランジスタ形成部における断面図（その5）である。

【図8】図8は実施の形態のCMOSイメージセンサの製造方法を示す図であり、フォトダイオード及びリセットトランジスタ形成部における断面図（その6）である。

【図9】図9は実施の形態のCMOSイメージセンサの製造方法を示す図であり、フォトダイオード及びリセットトランジスタ形成部における断面図（その7）である。

【図10】図10は実施の形態のCMOSイメージセンサの製造方法を示す図であり、フォトダイオード及びリセットトランジスタ形成部における断面図（その8）である。

【図11】図11は実施の形態のCMOSイメージセンサの製造方法を示す図であり、周辺CMOS回路形成部における断面図（その1）である。

【図12】図12は実施の形態のCMOSイメージセンサの製造方法を示す図であり、周辺CMOS回路形成部における断面図（その2）である。

【図13】図13は実施の形態のCMOSイメージセンサの製造方法を示す図であり、周辺CMOS回路形成部における断面図（その3）である。

【図14】図14は実施の形態のCMOSイメージセンサの製造方法を示す図であり、周辺CMOS回路形成部における断面図（その4）である。

【図15】図15は実施の形態のCMOSイメージセンサの製造方法を示す図であり、周辺CMOS回路形成部における断面図（その5）である。

【図16】図16は実施の形態のCMOSイメージセンサの製造方法を示す図であり、周辺CMOS回路形成部における断面図（その6）である。

【図17】図17は実施の形態のCMOSイメージセンサの製造方法を示す図であり、周辺CMOS回路形成部における断面図（その7）である。

【図18】図18は実施の形態のCMOSイメージセンサの製造方法を示す図であり、周辺CMOS回路形成部における断面図（その8）である。

【図19】図19は比較例のCMOSイメージセンサを示す平面図である。

【図20】図20は実施の形態のCMOSイメージセンサの動作を示すタイミングチャートである。

【図21】図21はCMOSイメージセンサの1画素の

等価回路図である。

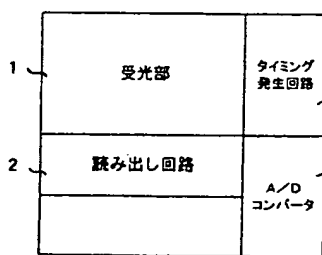
【符号の説明】

10…半導体基板、
11…シリコン窒化膜 (SiN膜)、
12, 13, 17, 20, 23, 24, 25, 26, 28, 30, 31…レジスト膜、
16…フィールド酸化膜、
18…シリコン酸化膜 (ゲート酸化膜)、
19…アモルファスシリコン膜、
21…WSi膜、
22, 27…シリコン酸化膜、
29…サイドウォール、
32, 36…Ti膜、
33…シリサイド膜、

34…絶縁膜、
35…SOG膜、
35a…コンタクトホール、
37…W膜、
37a…プラグ、
38…導電膜、
39…配線、
41, 45, 46, 49…N型不純物領域、
42…Nウェル、
43…P型不純物領域 (ウェル)、
44…Pウェル、
47, 48…P型不純物領域、
PD…フォトダイオード、
T1, T2, T3…MOSトランジスタ。

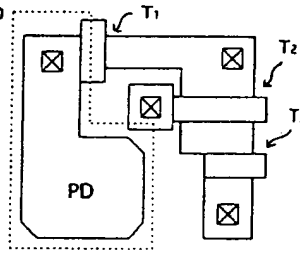
【図1】

イメージセンサブロック図



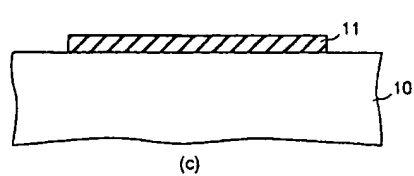
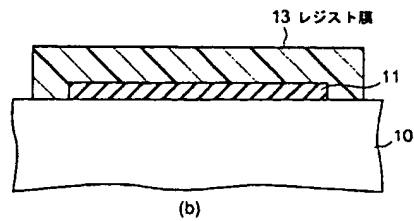
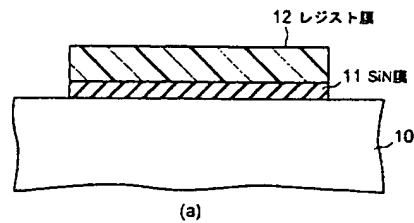
【図2】

イメージセンサの1画素



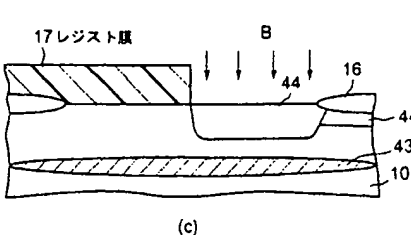
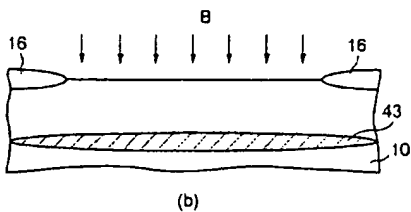
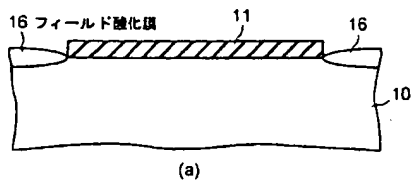
【図3】

CMOSイメージセンサの製造方法
(フォトダイオード及びリセットトランジスタ形成部1)



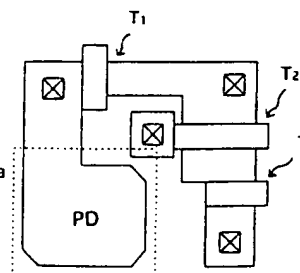
【図4】

CMOSイメージセンサの製造方法
(フォトダイオード及びリセットトランジスタ形成部2)



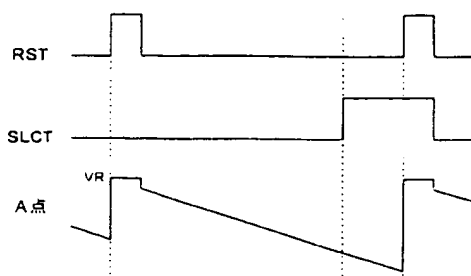
【図19】

比較例のイメージセンサ



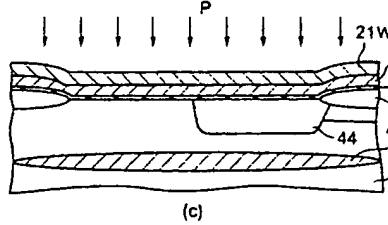
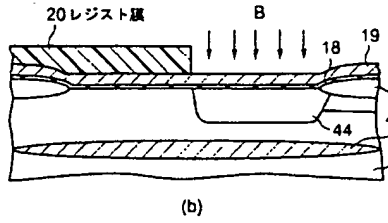
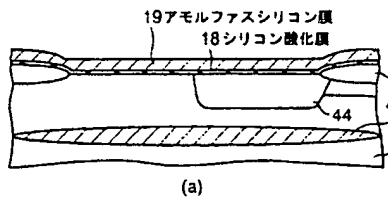
【図20】

タイミングチャート



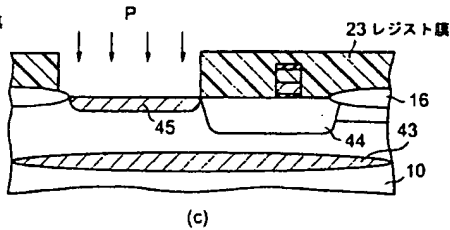
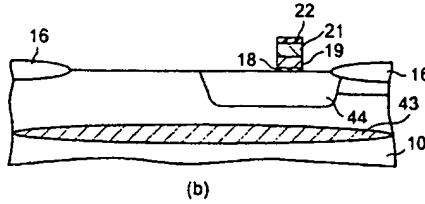
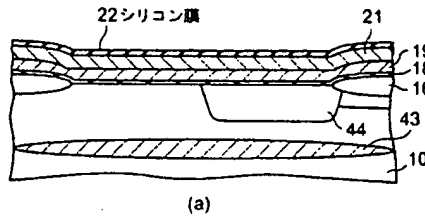
【図5】

CMOSイメージセンサの製造方法
(フォトダイオード及びリセットトランジスタ形成部3)



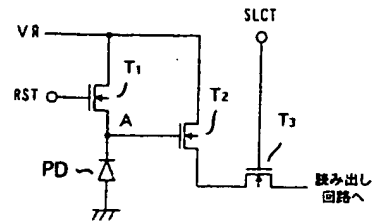
【図6】

CMOSイメージセンサの製造方法
(フォトダイオード及びリセットトランジスタ形成部4)



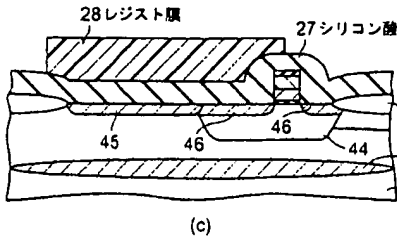
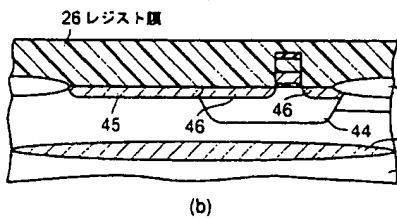
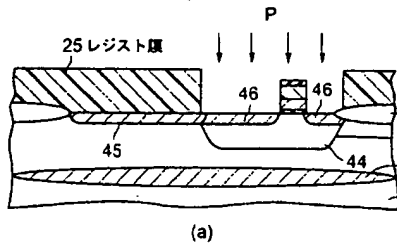
【図21】

CMOSイメージセンサ



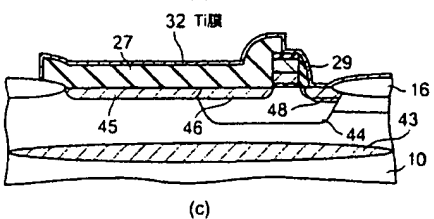
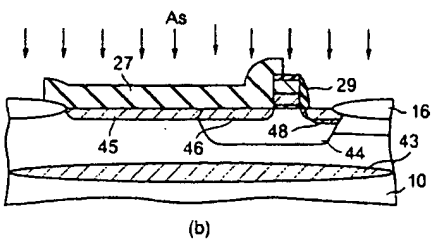
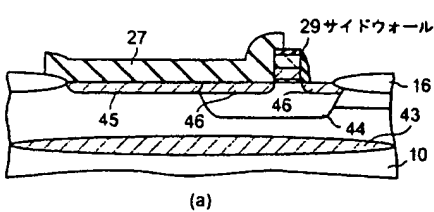
【図7】

CMOSイメージセンサの製造方法
(フォトダイオード及びリセットトランジスタ形成部5)



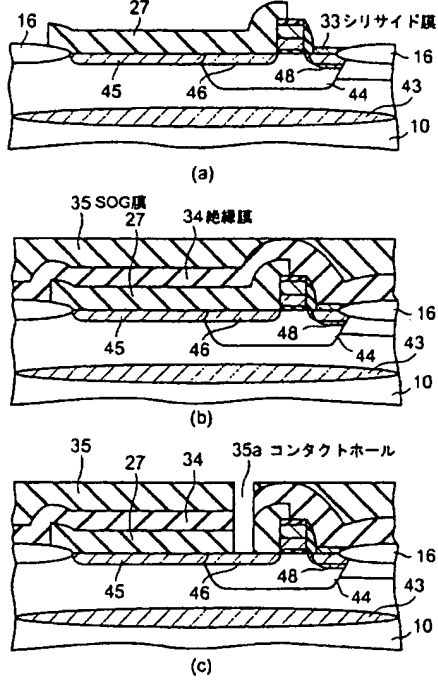
【図8】

CMOSイメージセンサの製造方法
(フォトダイオード及びリセットトランジスタ形成部6)



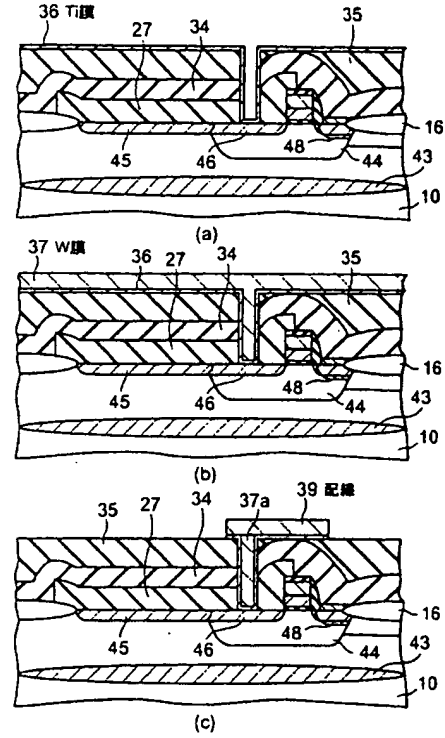
【図9】

CMOSイメージセンサの製造方法
(フォトダイオード及びリセットトランジスタ形成部7)



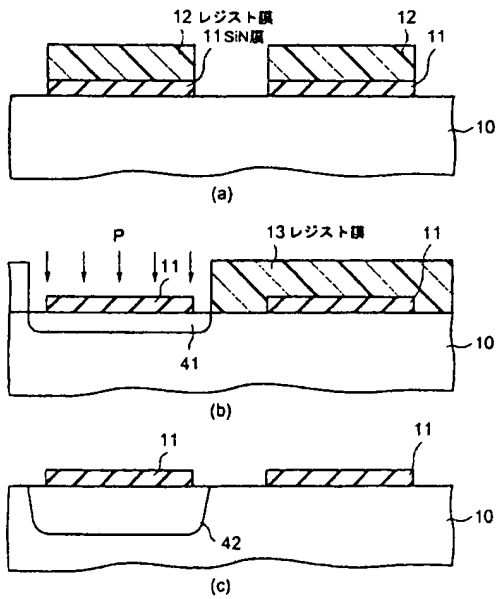
【図10】

CMOSイメージセンサの製造方法
(フォトダイオード及びリセットトランジスタ形成部8)



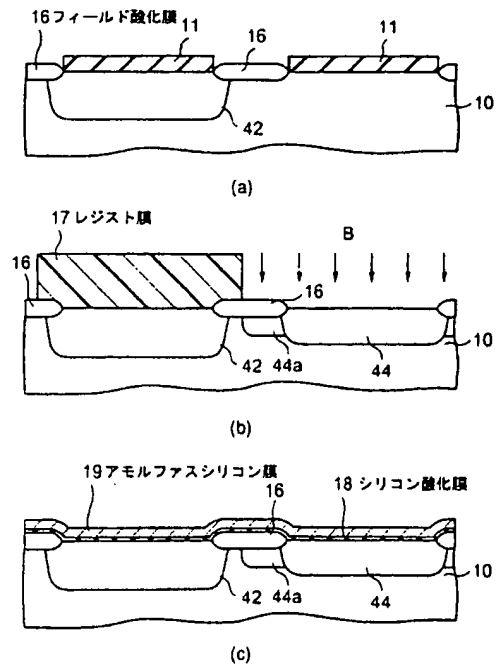
【図11】

CMOSイメージセンサの製造方法
(周辺CMOS回路形成部1)

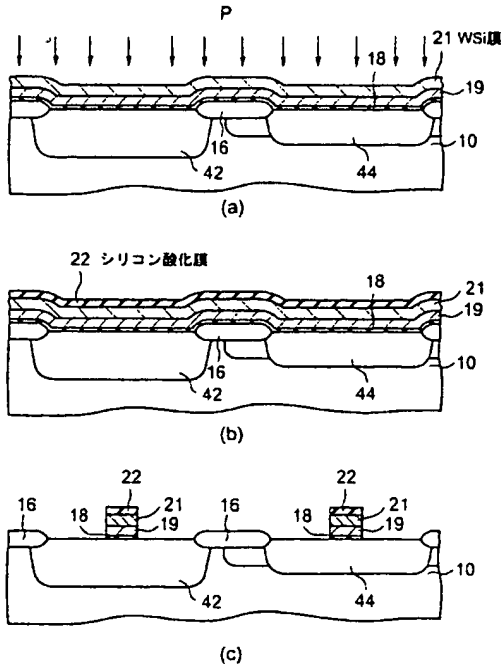


【図12】

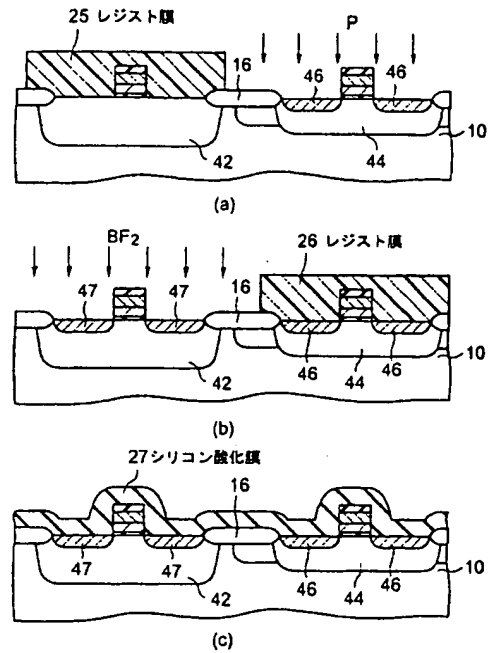
CMOSイメージセンサの製造方法
(周辺CMOS回路形成部2)



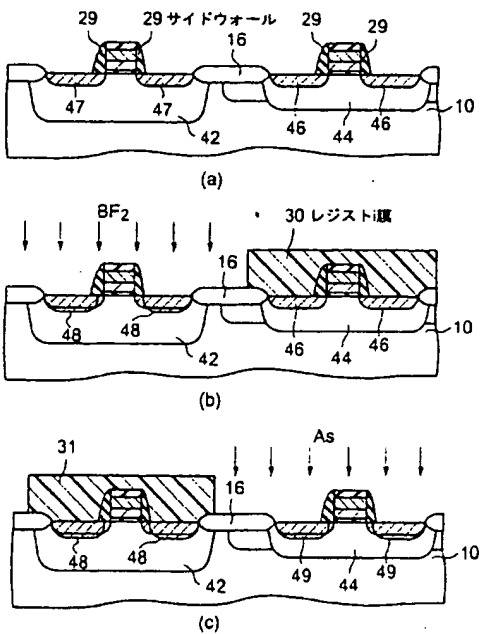
【図13】

CMOSイメージセンサの製造方法
(周辺CMOS回路形成部3)

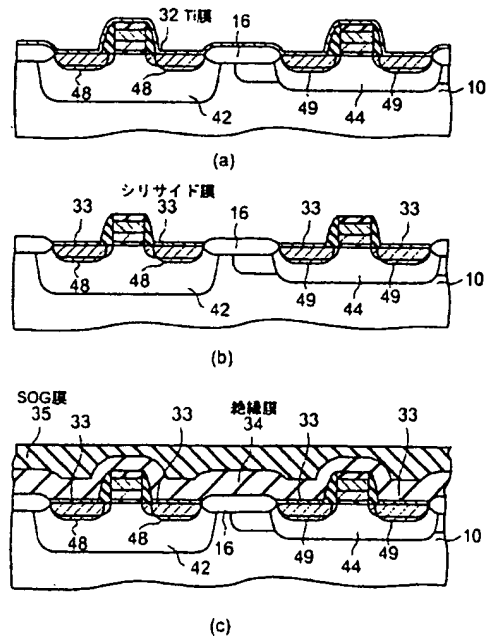
【図14】

CMOSイメージセンサの製造方法
(周辺CMOS回路形成部4)

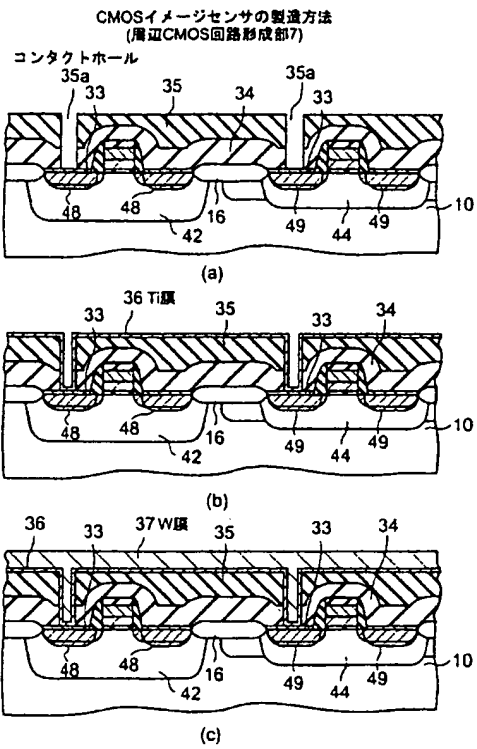
【図15】

CMOSイメージセンサの製造方法
(周辺CMOS回路形成部5)

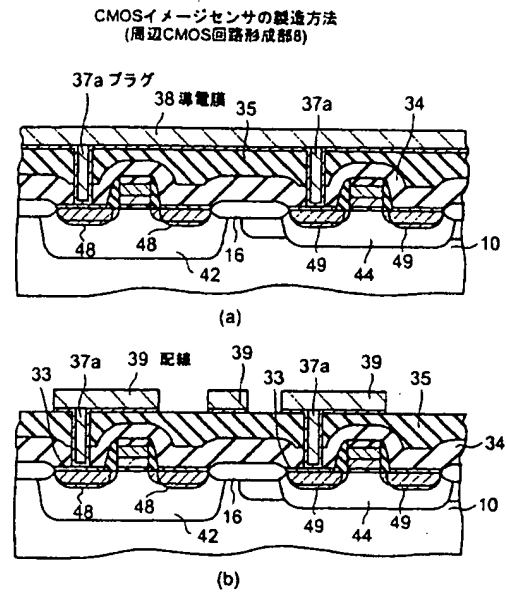
【図16】

CMOSイメージセンサの製造方法
(周辺CMOS回路形成部6)

【図17】



【図18】



フロントページの続き

(51)Int. Cl.⁷

H01L 27/092

H04N 5/335

識別記号

FI

H01L 21/90

27/08

テーマコード(参考)

A

321F

321A

F ターム (参考) 4M104 AA01 BB01 BB25 DD16 DD18
DD19 DD26 DD37 DD43 DD55
DD79 DD84 EE09 EE12 EE15
EE16 EE17 FF13 FF14 FF22
GG02 GG05 GG09 GG10 HH16
4M118 AA05 AA10 BA14 CA02 DA31
DD12 EA01 FA06
5C024 CY47 CX03 GY31
5F033 HH04 HH09 HH18 HH28 HH33
JJ01 JJ18 JJ19 KK01 KK27
MM05 MM07 MM08 MM13 NN06
PP06 PP15 QQ02 QQ08 QQ09
QQ10 QQ11 QQ16 QQ37 QQ48
QQ58 QQ59 QQ65 QQ70 QQ73
QQ76 RR04 RR08 RR09 SS25
SS27 TT02 TT08 VV00 XX09
5F048 AA00 AB10 AC01 AC03 AC10
BA01 BA12 BB06 BB07 BB08
BB12 BB14 BC03 BC06 BE03
BF06 BF07 BG12 BH07 DA25